

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 02119269
PUBLICATION DATE : 07-05-90

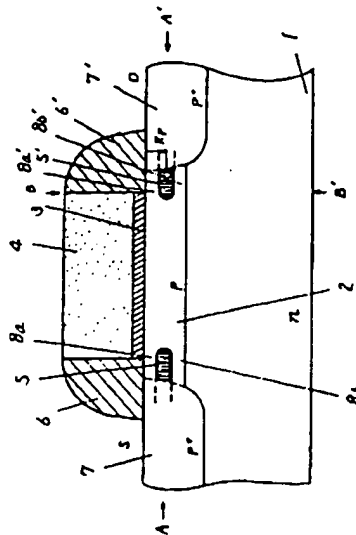
APPLICATION DATE : 28-10-88
APPLICATION NUMBER : 63273457

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : MORII TOMOYUKI;

INT.CL. : H01L 29/784 H01L 21/336

TITLE : MOS TYPE SEMICONDUCTOR DEVICE
AND MANUFACTURE THEREOF



ABSTRACT : **PURPOSE:** To enhance a resistance to a hot carrier of a MOSFET having a buried channel without worsening a threshold value, a drain current and other electrical characteristics by a method wherein a concentration of one part near a high-concentration source-drain in a buried layer is made low and this low-concentration region is situated in nearly the central part in a thickness direction of the buried layer.

CONSTITUTION: A gate electrode 4 is formed on the surface of a semiconductor substrate 1 of a conductivity type via a gate insulating film 3; source-drain diffusion layers 7, 7' as high-concentration regions of an other conductivity type are formed on the surface of the semiconductor substrate 1 being apart from the gate electrode 4 and in its neighborhood; a buried layer 2 of the other conductivity type is formed in their neighborhood including an interface between the substrate 1 and the gate insulating film 3. In addition, low-concentration regions 5, 5' are formed at end parts of the gate electrode 4 inside the buried layer 2 and at parts between the diffusion layers 7, 7'; their lowest concentration part is situated in nearly the center of a thickness of the buried layer 2; the buried layer 2 is divided into surface channels 8a, 8a' and internal channels 8b, 8b'. For example, the low-concentration regions 5, 5' are formed while B is compensated locally by As by implanting ions of As.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-119269

⑫ Int.Cl.¹

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月7日

H 01 L 29/784
21/336

8422-5F H 01 L 29/78
8422-5F

3 0 1 S
L

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 MOS型半導体装置およびその製造方法

⑮ 特 願 昭63-273457

⑯ 出 願 昭63(1988)10月28日

⑰ 発 明 者	江 崎 源 弥	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発 明 者	中 田 義 朗	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 発 明 者	森 井 知 行	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑰ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑰ 代 理 人	弁理士 栗 野 重 幸	外1名	

明 細 書

1. 発明の名称

MOS型半導体装置及びその製造方法

2. 特許請求の範囲

(1) 一導電型半導体基板の表面にゲート絶縁膜を介してゲート電極が設けられていて、上記ゲート電極から離れた半導体基板表面とその近傍に高濃度の二導電型領域であるソース・ドレイン拡散層と、上記基板・ゲート絶縁膜の界面を含みその近傍に二導電型埋め込み層とが形成されていて、上記埋め込み層内の上記ゲート電極端部から上記ソース・ドレイン拡散層間の部分において低濃度領域が存在し、しかもその最低濃度部分が上記埋め込み層の厚みのほぼ中心に位置していて、埋め込み層が表面チャネルと内部チャネルとに分かれていることを特徴とするMOS型半導体装置。

(2) 一導電型半導体基板の表面に二導電型埋め込み層を形成する工程、ゲート絶縁膜を成長させその上にゲート電極を設ける工程、上記ゲート電極をマスクとして上記半導体基板表面に一導電型

不純物をそのピーク位置が上記埋め込み層の厚みのほぼ中心に位置するようイオン注入する工程、ゲート電極から離れた半導体基板表面とその近傍に高濃度二導電型領域であるソース・ドレイン拡散層を形成する工程とを少なくとも含んでなり、上記埋め込み層内の上記ゲート電極端部から上記ソース・ドレイン拡散層間の部分において低濃度領域の最低濃度部分が上記埋め込み層の厚みのほぼ中心に位置するよう形成され、上記埋め込み層が表面チャネルと内部チャネルとに分かれていることを特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は大規模集積回路(VLSI)の構成素子であるMOS型電界効果トランジスタ(MOSFET)の構造およびその製法に関するものである。

従来の技術

従来のpチャネルMOSFETはゲート電極に、n型の不純物を含むp型の多結晶シリコンを用い

ている。それにより半導体基板との仕事関数の違いを生じ、しきい値 V_t を0.8V近傍に設定するために、p型埋め込み層を形成している。埋め込み層上にゲート絶縁膜を介して設けられたゲート電極の両端にはソース・ドレインとしてのp⁺低濃度層が、埋め込み層に接して半導体基板表面およびその近傍に形成される。素子の微細化が進むと共に、ソース・ドレイン間距離すなわちチャネル長が短縮されてきたにもかかわらず、電圧電圧は一定であるため、ドレイン電界は高まっている。そのため、ドレイン近傍の高電界領域で発生するホットキャリアによる特性の劣化が増大している。これに対して従来埋め込み層の不純物濃度を高くする、ソース・ドレインを低・高濃度の2重構造(いわゆるLDD=Lightly Doped Drain)にする等の解決策が考えられてきた。

発明が解決しようとする課題

埋め込み層の不純物濃度を高くする方法では、しきい値が高くなるので好ましくなく、またLD

キャリアは表面チャネルを走行するが、ドレイン電位が相対的に高いときはその低濃度領域が作り出す障壁によりキャリアは内部チャネルに閉じ込められて走行するのでホットキャリアが発生してもゲート絶縁膜まで到達する確率が低くなる。

実施例

上記手段をpチャネルMOSFETに適用した実施例を図1図に示す。

n型半導体基板1の表面を含む近傍に濃度が $1 \times 10^{18} \text{cm}^{-3}$ で厚みが0.1ミクロンのp型埋め込み層2、基板表面に熱酸化法で形成された厚さ8nmのゲート酸化膜3を介して設けられた膜を含む厚さ200nmの多結晶シリコンゲート4、ゲート4の両端を覆う酸化膜側壁8をマスクとしてボロンを注入して形成された高濃度のp⁺型ソース・ドレイン7、7'およびソース・ドレインのチャネルに接する側面に接したp型埋め込み層の低濃度領域5、5'とからpチャネルMOSFETが構成されている。

p型埋め込み層の低濃度領域5、5'の厚みは

D化ではチャネルの寄生抵抗が増大しドレイン電流が減少するので好ましくない。しきい値やドレイン電流その他の電気特性を悪化させることなく、埋め込みチャネルを有するMOSFET(ほとんどの場合pチャネル)のホットキャリア耐性を高める事が本発明によって解決しようとする課題である。

課題を解決するための手段

埋め込み層のうち高濃度ソース・ドレイン近傍の一部を低濃度化し、しかもその低濃度領域を埋め込み層の厚み方向のほぼ中央部に位置せしめるものである。

作用

高濃度ソース・ドレインのチャネルに接する側面的一部分が低濃度の埋め込み層であることから、等価的に低濃度ソース・ドレインが形成されたことになり電界強度が緩和される。また、埋め込み層はソース・ドレイン近傍において、その低濃度領域の存在により、表面チャネルと内部チャネルに二分され、ゲート電位が相対的に高いときは、

30nmで、その最低濃度の中心位置はp型埋め込み層の厚み方向のほぼ中央にあり、ソース・ドレイン近傍ではp型埋め込み層は厚み30nmの表面チャネル8a、8a'と厚み40nmの内部チャネル8b、8b'とに二分されている。

なお、金属配線やコンタクトなどは省略してある。

第1図のA-A'に沿ったp型埋め込み層の不純物分布を図2図に示す。ソース・ドレイン7、7'では $1 \times 10^{18} \text{cm}^{-3}$ 以上の濃度で、埋め込み層2はほぼ $1 \times 10^{17} \text{cm}^{-3}$ であるが、低濃度領域5、5'では $1 \times 10^{17} \text{cm}^{-3}$ よりも三分の一程度と低い $3 \times 10^{16} \text{cm}^{-3}$ に設定してある。

第1図のゲート端部B-B'に沿ったp型埋め込み層及びその低濃度領域の厚み方向の不純物分布を図3図に示す。p型埋め込み層はボロン(B)のドーピングにより、低濃度領域はヒ素(As)のイオン注入により局所的にBをAsで補償して形成される。ひ素は拡散係数が同じドナーである磷(P)に比べて小さいので本発明の目的にと

特開平2-119269(3)

て好都合である。

ゲート4にソース7に対してしきい値以上の負電位が印加されると、ソース7近傍の表面および内部チャネル8a、8bを通過してホールがp型埋め込み層2内に引き出され、ドレイン7'へ向かって流れる。ドレイン電位がゲート電位より低い(絶対値で小さい)ときはドレイン7'近傍の表面及び内部チャネル8a'、8b'を通過してホールはドレイン7'に達する。

ドレイン電位がゲート電位より高いときは、ドレイン7'近傍の表面チャネル8a'内には基板内部へ向かう方向に電界が生じ、空乏化するとともにホールが通りにくくなり、しかも低濃度領域はホールに対しては電位障壁として働くので、実質的にホールは内部チャネルのみを通らざるを得なくなる。ドレイン近傍に発生する高電界により電離衝突(アバランシェ)が起こり、高エネルギーを持ったホットキャリアが発生する。しかし、ホールは大部分内部チャネルを通るため、そこでホットキャリアが発生しても、そこからゲート酸

化膜までの距離が遠いので、散乱を受けてエネルギーが低下しゲート酸化膜まで到達する確率は低い。キャリアの平均自由行程は10nm以下であり、内部チャネルからゲート酸化膜までの距離を上記実施例のように80nm程度に設定してあれば、ゲート酸化膜へのキャリア注入が少なく、それによる電気特性の劣化も少ない。

また、ソース・ドレイン近傍のp型埋め込み層全域が低濃度領域になっているのではなく、ゲート電位が相対的に高い場合、キャリアが通り易い表面チャネルがあるので、抵抗増加が少なく、ホットキャリア耐性が高く、しかもドレイン電位が多い。

発明の効果

本発明は上述した構成と作用により下記の実用上の有用な効果をもたらす。

- 1) ソース・ドレイン近傍に低濃度領域が存在することで、電界が緩和される。2) 電離衝突が起こってもキャリアは基板内部を通るのでゲート絶縁膜へのホットキャリア注入は少ない。3) カ

リアが通り易い表面チャネルがあるので、低濃度領域があるにも拘らず抵抗増加が少なく、ドレイン電位が高い。

すなわち、本発明のMOSFETおよびその集積回路はホットキャリア耐性が高くしかも高性能である。

4. 図面の簡単な説明

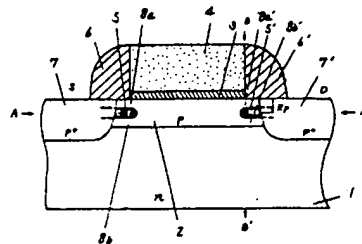
第1図は本発明の手段をpチャネルMOSFETに適用した一実施例の断面構成図、第2図は同FETのA-A'に沿ったp型埋め込み層の不純物分布図、第3図は同FETのゲート絶縁部B-B'に沿った埋め込み層の厚さ方向不純物分布図である。

1・・・n型半導体基板、2・・・p型埋め込み層、3・・・ゲート酸化膜、4・・・多結晶シリコンゲート、5、5'・・・埋め込み層内の低濃度領域、6、6'・・・側壁酸化膜、7、7'・・・ソース・ドレイン、8a、8a'・・・表面チャネル、8b、8b'・・・内部チャネル。

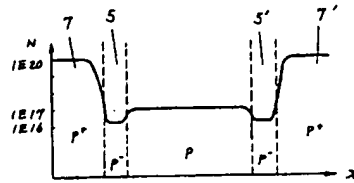
代理人の氏名 弁護士 栗野重平 はか1名

- 1・・・n型半導体基板
- 2・・・p型埋め込み層
- 3・・・ゲート酸化膜
- 4・・・多結晶シリコンゲート
- 5、5'・・・埋め込み層内の低濃度領域
- 6、6'・・・側壁酸化膜
- 7、7'・・・ソース・ドレイン
- 8a、8a'・・・表面チャネル
- 8b、8b'・・・内部チャネル

第1図



第 2 図



第 3 図

